

Low Level RF System in KEK-STF

Toshihiro Matsumoto¹, Shinichiro Michizono, Yoshiharu Yano, Hiroaki Katagiri, Shigeki Fukuda
High Energy Accelerator Research Organization (KEK)
1-1 Oho, Tsukuba, Ibaraki, 305-0801

Abstract

At the electron linac of KEK-STF (Superconducting RF Test Facility), an accelerating electric field of $\pm 0.1\%$ in amplitude and ± 0.1 degree in phase is required for Low-Level RF (LLRF) system. Digital feedback (FB) system is adopted for flexibility of the FB and feedforward (FF) algorithm implementation to accomplish these requirements. In order to carry out the efficient testing of the control system, rf system modelling with MATLAB/Simulink library is utilized for the investigation of the control method and cavity simulator using a FPGA board has been developed.

KEK-STFの低電力励振系の構成

1. はじめに

The International Technology Recommendation Panel (ITRP)は、International Linear Collider (ILC)に超伝導技術を選択した。KEKでは2004年よりILC開発への寄与のため、Superconducting RF Test Facility (KEK-STF)計画[1,2]を始めており、現在KEKの陽子リニアック棟で建設を進めている。STFは、基本周波数1.3GHz、パルス幅1.5ms、繰り返し5Hzの運転で、Phase I (2005年~06年)、Phase II (2007年~09年)が計画されている。Phase Iでは8台の超伝導空洞で高加速電場の実証試験を行う。更にILCは高品質ビームの実現のため、1msの加速電場の平坦部に $\pm 0.1\%$ の振幅安定度、 ± 0.1 度の位相安定度を要求している。これらの安定度を実現するために、デジタル制御系を用いた低電力高周波(Low-Level Radio Frequency, LLRF)系の採用をした。その理由としては、デジタル信号処理によりフィードバック(FB)、フィードフォワード(FF)アルゴリズムに柔軟性が生じること、また近年のデジタル機器の高速化によって、RFパルス幅(~1ms)に対してFB、FFのデジタル信号処理が $1\mu s$ 以下で実現可能となっているためである。

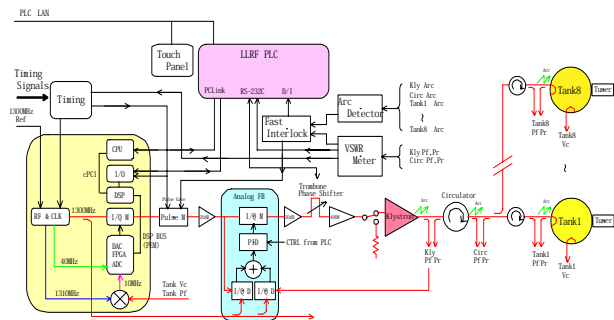


図1 低電力高周波(LLRF)系の概略図

2. LLRF系の構成

図1にSTFでのLLRF系制御の全体図を示す。STFのLLRF系は、JPARCで開発されたLLRF系[3]を基本として開発を進めており、PLC、タッチパネル、コンパクトPCI(cPCI)等から成る。これらLLRFの構成要素は19inch標準ラック内に取り付けられ、LLRF系全体はPLCを介して制御される。

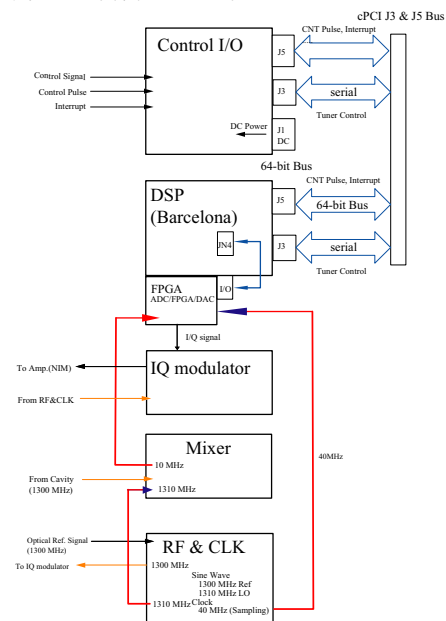


図2 デジタル制御系の構成図

デジタル制御系は、カスタムFPGAボードを取り付けたDSPボード、IOボードといったcPCIに組み込まれるデジタル部とIQ変調器、RF&CLKユニット及び空洞のモニター信号をダウンコンバートするMixerユニットといったアナログ部より構成される(図2)。

RF & CLKユニットでは1300MHzの高周波を入力に用いて、ビーム加速用周波数(1300MHz)とPLLにより同

¹ E-mail: toshihiro.matsumoto@kek.jp

期した2つのクロック信号(40MHz、1310MHz)を出力する。40MHzはADC、DACのサンプリングとFPGAのクロック、1310MHzはMixerユニットのLO信号となる。RF&CLKユニットで作られた1300MHzのCWの高周波は、IQ変調器によってRFパルスとなった後、固体増幅器、クライストロン(旧Thomson(Thales)製 TH2104A)で増幅され、超伝導空洞へ供給される。

クライストロンからのRF出力により放電や異常反射が生じた場合、高周波窓、サーキュレーター、カップラー、超伝導空洞を保護するためにインターロック回路を設けている。出力モニターやカップラー等に設置されたArc Detectorから異常を知らせる信号は直接インターロック回路に取り込まれ、ここからパルス変調器のゲートを閉じる仕組みになっている。これによりRF出力を数 μ s以下で遮断することが可能となる。

超伝導空洞を通過後のRF信号は、方向性結合器を経由してMixerユニットへの入力(RF)信号となる。Mixerユニットでは、空洞の波形と位相の情報を反映した10MHzの中間周波数(IF)信号が出力され、カスタムFPGAボードへの入力信号となる。

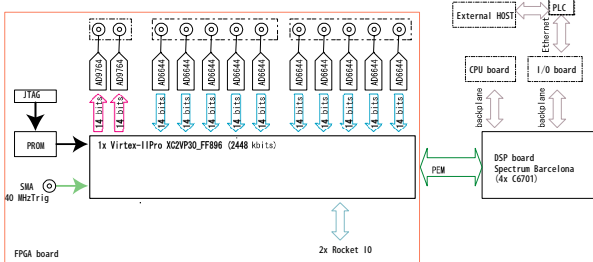


図3 カスタムFPGAボードの概略図

カスタムFPGAボードはXilinx製のVirtex II Pro30、10個の14-bit ADC(AD6644)、2個の14-bit DAC(AD9764)を搭載する予定である(図3)。8個のADCは各空洞からのIF信号の受け口となり、残りの2個はクライストロンのRF出力波形とクライストロンへの反射波形を取り込むために用いられる。

FPGAで行われるデジタル信号処理については図4に示す。J-PARCと同様のFB、FFアルゴリズム[4]を用いるが、STFでは、FFと比例制御によるFBのアルゴリズムで行う予定である。FB、FFのデジタル信号処理が行われた信号は、DACによってI/Q信号となりIQ変調器へ入力される。

FPGAの制御はDSPボードの高速I/Oポート(PEM)を介して行われる。DSPボードはTMS320C6701を4個搭載したSpectrum Signal社のBarcelonaを採用する。DSPのリアルタイム処理を用いることで、外部パルスと同期してFPGAを制御し、リアルタイムでのデータ収集を可能にしている。DSPボードはcPCIのCPUボード上のホストプログラムにより制御される。

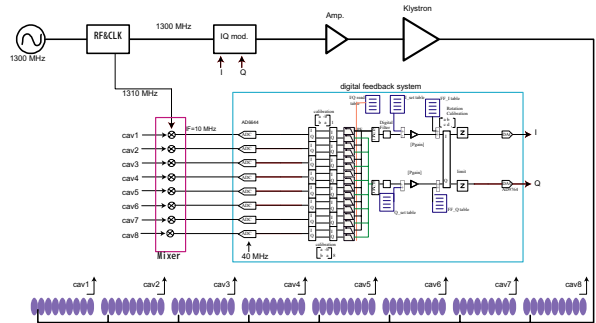


図4 デジタルFB系の概略図

ILCの要求である振幅および位相安定度の $\pm 0.1\%$ 、 ± 0.1 度を実現するためには、デジタルFBを用いるだけでなく、アナログ部の素子(Mixer、IQ変調器)やモニターケーブルの温度依存性を考慮する必要があり、RF&CLKのクロック安定度も求められる。RF&CLKやMixerについては、水冷を用いて温度制御を行い、出力の安定化を図ることを検討している。クロックの安定度については、位相ノイズの評価と測定を行う予定である。

2005年秋には、デジタル制御系を除いたLLRF系の各要素が完成し、これらを用いて2005年末よりカップラーの大電力試験が行われる予定である。デジタル制御系の各要素については、2005年中の完成を目指す。その後の半年でデジタル制御系のソフト開発を行い、2006年末からの超伝導空洞の高電界試験に備える。

3. LLRF系のモデリング

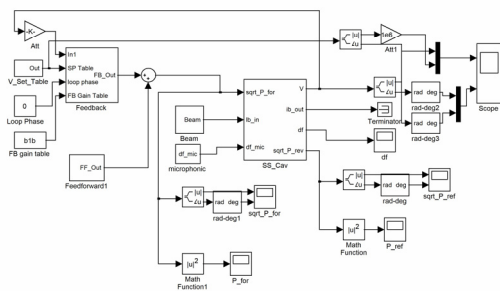


図5 Simulink上でのモデル

超伝導空洞の特性を含めた高周波系の性能について、MATLAB/Simulinkを用いて調べた[5]。このモデルは、共振空洞系(LCR回路)の微分方程式を線形状態空間の一次式へ変換、それを逐次的に解いてゆくことにより空洞内の加速電圧を求めるものである。このモデリングは、ローレンツ力による空洞の離調[6]とビームローディングの効果を含んだ場合も解くことも可能である。図5にSimulink上でのモデルの配置図を示す。

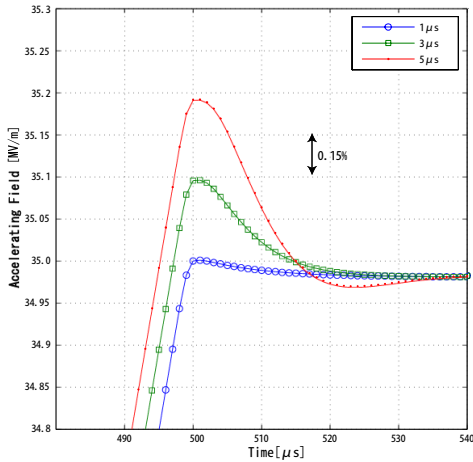


図6 異なるFB遅延時間におけるビーム入射時での加速電圧のオーバーシュート

図6は、現在開発中である超伝導空洞($r/Q=1016 \Omega$, $QI=2.2 \times 10^6$ 、目標加速電界 35 MV/m [6])を用いた場合でのビーム入射開始直後の加速電圧のオーバーシュートを、FBの遅延時間の違い($1 \mu\text{s}$ 、 $3 \mu\text{s}$ 、 $5 \mu\text{s}$)で示したものである。このシミュレーションではFBゲインは50、RFパルスの立ち上がり後 $500 \mu\text{s}$ で平均ビーム電流 10.83 mA のビームが入射という条件である。但し、ローレンツ力によって空洞の共振周波数がシフトしてゆく効果は含めていない。 $\pm 0.1\%$ 程度の加速電圧の安定度を実現するためには、FBによる遅延時間（デジタル信号処理とケーブル長を含む）を $1 \mu\text{s}$ 程度に抑える必要があることがわかる。STFでのデジタルFB系では、FPGAを用いることにより、この要求を満たすことが可能であると考えている。

4. FPGAを用いた空洞シミュレーターの開発

大電力試験の前にLLRF制御系の性能評価試験を行うために、FPGAを用いた超伝導空洞シミュレーター[6]の開発を進めている。空洞シミュレーターには、14-bit ADC(AD6644)と14-bit DAC(AD9772A)をそれぞれ2個、及びFPGA(Xilinx Virtex II)を組み込んだXilinx社のDSP Development Kit IIを用いる予定である。ADCから入力した模擬のクライストロンRF出力のI/Q信号に対して、FPGAにより空洞の電気的モデルの方程式を離散的に解いてゆくことで空洞の加速電圧を求め、DACにより 10 MHz のIF信号として出力するものである(図7)。この空洞シミュレーターを用いることにより、リアルタイムのLLRF制御系の試験ができて、効率的な開発や最適な制御方法の調査が可能となる。

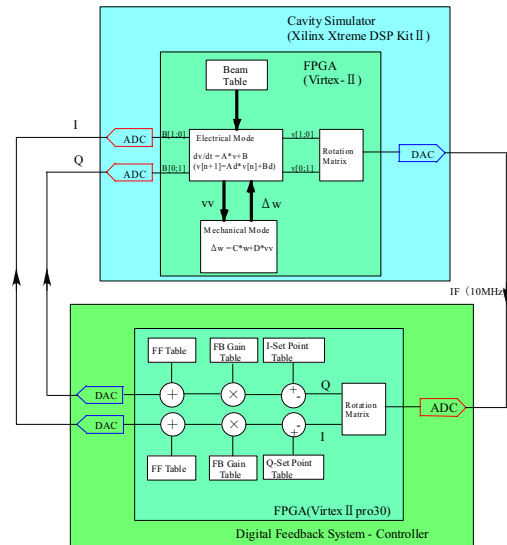


図7 空洞シミュレーターを用いたデジタルFB系試験の概略図

5. まとめ

2006年末に始まる8台の超伝導空洞を用いた実証試験(KEK-STF Phase I)に向けてLLRF系の開発を進めている。ILCの仕様で要求されている加速電場の平坦部で振幅安定度 $\pm 0.1\%$ 、位相安定度 ± 0.1 度を実現するために、LLRF系ではFPGA、DSPを用いてデジタルFBの採用を決め、現在開発中である。

MATLAB/Simulinkを用いたRFモデリングによりLLRF系に要求されるパラメーターの調査中である。また、FPGAを用いた空洞シミュレーターの開発を進めており、今後これらを用いてLLRF系の効率的な開発を行う予定である。

参考文献

- [1] H. Hayano, et al., "Superconducting RF Test Facility (STF) for ILC", in this meeting
- [2] S. Fukuda, et al., "RF Source Development of Superconducting RF Test Facility (STF) in KEK", in this meeting
- [3] S. Anami, et al., "J-PARC Linac Low Level RF Control", Proc. 29th Linear Accelerator Meeting in Japan, 297(Funabashi, 2004).
- [4] S. Michizono, et al., "Digital Feedback System for J-PARC LINAC RF SOURCE", Proc. of LINAC 2004, Lübeck, Germany (2004)742.
- [5] A. Vardanyan, et al., "An Analysis Tool for RF Control for Superconducting Cavities", EPAC'02, Paris, France (2002)1673.
- [6] M. Liepe, et al., "Pulsed Superconductivity Acceleration", LINAC2000, Monterey, California, USA (2000)678.
- [7] S. Noguchi, et al., "Development of STF Base-line Superconducting Cavity System", in this meeting.
- [8] Krzysztof T. Pozniak, et al., "DSP Integrated, Parameterized, FPGA Based Cavity Simulator & Controller for VUV-FEL SC Cavity SIMCON Version 2.1. rev. 1, 02.2005", TESLA Report 2005-02.